PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000258500 A

(43) Date of publication of application: 22.09.00

(51) Int. CI

G01R 31/28 G06F 11/22

(21) Application number: 11061157

(22) Date of filing: 09.03.99

(71) Applicant:

HITACHI LTD

(72) Inventor:

NAKAO NORINOBU HATAKEYAMA KAZUMI HIKONE KAZUFUMI SHIMAMURA KOTARO

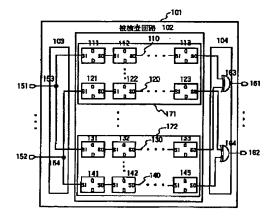
(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND STORAGE MEDIUM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit designed in a shift scanning mode and allowing reduction in the amount of test data, the number of scan data input/output terminals, or a test time.

SOLUTION: A semiconductor integrated circuit 101 is designed in a shift scanning mode. In this case, two partial circuits 171, 172 constructed of a plurality of FF with a scanning function 111-113, 131-133 working as shift registers and a scan chain 110 connecting the respective FF with a scanning function to each other are provided, and the partial circuits 171, 172 are connected together in a single branch point 153.

COPYRIGHT: (C)2000,JPO



(11)特許出顧公開番号

特開2000-258500	(P2000-258500A)	平成12年9月22日(2000.9.22)	テーマコード(参考)	G 2G032	360U 5B048	94001
		(43)公開日		31/28	11/22	
			FI	G01R	G06F	

即配号 360

(51) Int CI.7

G06F 11/22 G01R 31/28

a ₩ o o 審査請求 未請求 請求項の数8

(21)出版番号	特國 平11-61157	(71)出間人 000005108	000005108
			株式会社日立製作所
(22) 出質日	平成11年3月9日(1999.3.9)		東京都千代田区神田駿河台四丁目6番地
		(72)発明者	中尾 教神
	•		茨城県日立市大みか町七丁目1番1号
			式会社日立製作所日立研究所内
		(72)発明者	日山 一美・・・
			茨城県日立市大みか町七丁目1番1号
			式会社日立製作所日立研究所內
		(74)代理人 100068504	100068504
			弁理士 小川 勝男

最終国に抜く

(54) 【発明の名称】 半導体集積回路及び記憶媒体

[97] [要約]

【概題】シフトスキャン方式で設計された半導体集積回 人田力端子数あるいはテスト時間を削減可能な半導体集 路について、テストデータ量を削減し、スキャンデータ 街回路を提供する。 【解決手段】シフトスキャン方式で設計された半導体集 傾回路101において、シフトレジスタとして動作する 複数のスキャン機能付FF111~113,131~1 3.3と、各々のスキャン機能付FFを接続するスキャン チェーン110からなる2つの部分回路171,172 を有し、その部分回路171, 172は、1つの分岐点 153にて結線されている。

500

【語水項1】シフトスキャンガ式で設計された半導体集 シフトレジスタとして動作する複数のフリップフロップ 少なくとも2つの道記スキャンチェーンは、1つの人力 同路を育するスキャンチェーンを少なくとも2つ有し、 **端子にて結線されている半導体集積回路。** [特許語表の範囲]

前記スキャンチェーンの組を変更する結線変更回路を有 【語水項2】語水項1の半導体集積回路において、 する半導体集積回路。

【請求項3】シフトスキャン方式で設計された半導体集 傾回路において、

シフトレジスタとして動作する複数のフリップフロップ 前記少なくとも2つのスキャンチェーン回路を入力とし 1 つの出力端子に接続する符号圧縮回路とを有する半導 回路を育する少なくとも2つのスキャンチェーンと、 **本集档回路**。 [請求項4] 請求項1, 2, 3の少なくとも1つの半導 1 つの人力端子にて結線する声記スキャンチェーン回路 体集徴回路において、

の組について、各々のスキャンチェーンに含まれる前記 フリップフロップ回路から組合せ回路的に信号を伝播で きる領域が互いに交わらない半導体集積回路。 【請求項5】シフトスキャン方式で設計された半導体集

組合セ回路的に独立に動作する少なくとも2つの部分回 路があり、テスト時にシフトレジスタとして動作する複 数のフリップフロップ回路を有するスキャンチェーンの 各々が少なくとも1つの部分回路内に含まれており、前 記スキャンチェーンの少なくとも2つが結線変更回路を 少なくとも2つが符号圧縮回路を通り1つの出力端子に 通り1つの人力端子に接続し、前記スキャンチェーンの 接続する半導体集積回路。 質回路において、

前記組合せ回路的に独立に動作する少なくとも2つの部 **分回器が回上の回路があり、連続少なくとも20の部分** 回路で前記フリップフロップ回路が対応するように前記 【請求項6】請求項5の半導体集積回路において、 スキャンチェーンが構成される半導体集積回路。 【請求項7】請求項1~6の少なくとも1つの半導体集 前記少なくとも2つのスキャンチェーンが接続する符号 圧縮回路の出力に接続されたパターン圧縮器とを有する 前記少なくとも2つのスキャンチェーンを結線する結線 変更回路への入力に接続されたパターン発生回路と、 位回路において、

【請求項8】シフトレジスタとして動作する複数のフリ ップフロップ回路を有する少なくとも2つのスキャンチ ェーンからなる部分回路を複数有し、

半導体集積回路。

1 つの指鉛部分回路に対して米検田の仮定枚降に対しア ストパターンを生成する第一のステップと、

するまで前記第一のステップ及び前記第二のステップを 当記部分回路の全にに対して、生成したアメトバターン 治記部分回路の全てに対して追記第一のステップを実行 の故障シミュレーションを行う第一のステップを有し、 繰り返すテストパターン生成工程が記憶された記憶媒

[発明の詳細な説明]

[1000]

[発明の属する技術分野] 本発明は、シフトスキャンガ 式で設計されたテスト同路を有する半導体集積回路及び 記憶媒体に関する。

[0002]

【従来の技術】半導体集街回路のテストを容易にする技 るスキャン方式がある。スキャン方式により、内部状態 シフトスキャンガ代と、各FFに固有のアドレスを決め 能であるが、アドレススキャンガ式では、必要なFFの す) に値を設定及び読み出しを可能とする回路を付加す 5,スキャン方式は、シフトレジスタを用いたチェーン 状に接続されたFFに次々と値を設定、鶴み田しをする --般に、シフトスキャン方式の方が単純な回路で設計可 定,読み出しするアドレススキャン方式に大別される。 術として、全てのフリップフロップ(以下、FFと略 をもつためにテストパターン生成の難しい順序回路を、 内部状態をもたない組合せ回路として扱うことができ ておき、このアドレスにより遊択されたFFに値を設 値のみ設定、読み出しが可能である。

【0003】シフトスキャンガ式では、チェーン状に接 部のFFのみ値を設定、読み出しする場合でも、シフト レジスタとして動作するためスキャンチェーンに含まれ このため、シフトスキャンガ式では、テストに必要なデ **ータ戯(テストデータ盘)が大きい、テストに要する時** 間(テスト時間)がかかるといった問題があった。これ に対する改良策として、特開ギ9ー5403 号の「半導体集 **積回路」がある。これは、スキャンチェーンに含まれる** FFを複数の群に分割し、大々の群を遊収的にパイパス するために分割した場所にパイパメ用セレクタ回路を挿 入し、パイパスされた群に属するFFを作動させないよ うに制御する回路を挿入する。これにより、FFに不必 要な値を設定する必要が減るため、テストデータ量やテ る全ドドの値を設定、読み出しする場合と同じになる。 続されたFF群(以下、スキャンチューンと呼ぶ)の

スト時間を削減できる。

【発明が解決しようとする謀題】 般に、シフトスキャ ンガ式では、上記に述べたように、テストデータ量が大 る。これを回避する茶である、特開平9ー5403 号の「半 草体集徴回路」では、バイパスするための信号線や制御 回路による回路面積のオーバーヘッドが大きいという問 きい、テストに要する時間がかかるといった問題があ

3

3

スキャン方式におけるテストデータ量やテスト時間を削 【0005】本発明の目的は上記問題点に鑑み、シフト **歳し、回路面積のオーバーヘッドを加えた半導体集積回** 省を提供することにある。

[9000]

領回路において、シフトレジスタとして動作する複数の こ本発明は、シフトスキャンガ式で設計された半導体集 フリップフロップ回路と、各前記フリップフロップ回路 を接続するスキャンチェーンからなる少なくとも2つの 【欺脳を解決するための手段】上記目的を造成するため 部分回路を有し、前記少なくとも2つの部分回路は、1 つの人力増子にて結終されている構成とする。

ための入力場子を共用することにより、端子数が削減で 【0007】このように2つ以上の部分回路への入力の 回路面積のオーバーヘッドを抑えた半導体集積回路を提 き、また、入力するテストデータ量が削減できるので、

[0008]

2と、結線変更回路103と、符号圧縮回路104とか エーン110, 120, 130, 140をもち、それぞ [発明の実施の形態]図1に、本発明の一実施例に係わ 1は、被検査回路102と、スキャンデータ入力端子1 れ、スキャン機能付FF111~113,121~12 5 半導体集積回路の構成を示す。本半導体集積回路10 51, 152と、スキャンデータ出力端子161, 16 ら構成される。被検査回路102は、複数のスキャンチ 3, 131~133, 141~143がスキャンデータ の人力,出力が可能なように接続されている。なお、被 1,172をもち、スキャンチェーン110,120は 部分回路171に、スキャンチュニーン130,140は 部分回路172に属する。結線変更同路103は、スキ ーン110と130に分岐し、スキャンデータ入力端子 110と130の排他的論理和を排他的論理和回路16 キャンチェーン120と140の排他的論理和を排他的 倫理和回路164にてとりスキャンデータ出力端子16 検査回路102は組合せ回路的に独立した部分回路17 152が分岐点154でスキャンチェーン120と14 3にてとりスキャンデータ出力端子161に出力し、ス **ャンデータ入力端子151が分岐点153でスキャンチェ** 0 に分岐する。符号圧縮回路104は、スキャンチューン 1 に出力する。

アウトビン(SO)とスキャンインビン(SI)を接続 する信号線、及びスキャン入力端子151と、最初のス キャン機能付きFFI11に接続する信号線、及びスキ ャン出力端子161と、最後のスキャン機能付きFF1 13から接続する信号線から構成される部分回路をいい 群に入力するクロックを制御する (図2のスキャン機能 【0009】 趙、スキャンチェーン110は、スキャン 機能付きFF群111~113、及びそれらのスキャン ます。このスキャンチェーンは、スキャン機能付きFF

クロックに交互に1を与える) ことにより、シフトレジ スタとして動作します。スキャンチェーン120, 13 付きFFの例では、図るの時刻1,2のように、システ ムクロックを 0 に固定してマスタークロックとスレーブ 0, 140も回接です。 【0010】ここで、スキャン機能付下Fの一構成例と その動作について、図2を用いて説明する。

1)211, データ人力ピン (D) 212, システムクロッ 【0011】スキャン機能付FF201は、マスターF F202とスレーブFF203の2つのFFから構成さ 214を入力とし、状態をスレーブドF203への信号 のときDの値、CK=0, MC=1のときS1の値、C C=0のとき前の状態の値とする。なお、図1における 線216に出力する。状態の値は、CK=1, MC=0 K=0, MC=0のとき前の状態の値、CK=1, MC ■1のとき不定とする。スレーブFF203は、マスタ ーFF202への信号線216, スレーブクロックドン (SC) 215を入力とし、状態をスキャンアウトビン 5. 状態の値は、SC=1のとき信号線216の値、S 131~133,141~143の六々はスキャン機能 クビン (CK) 213, マスタークロックビン (MC) スキャン機能付FF111~113,121~123, HFF201と何じであり、クロック関連ピン(CK, れる。マスターFF202は、スキャンインピン(S (SO) 217とFF出力ピン(Q) 218に出力す

【0012】スキャン機能付下F201の動作について 説明する。通常動作時には、MC=0, SC=1に固定 動作するために、マスタークロック (MC) 入力により スキャンデータ人力端子の値をマスターFF202〜取 及びFF出力ビン(Q)218に出力する。また、組合せ 可路による応答パターンの取り込みでは、システムクロ (D) 212の値をマスターFF202〜取り込み、ス る。テスト時には、シフトレジスタの1つのFFとして り込み、スレーブクロック(SC)入力によりマスター む。そしてその値をスキャンアウトビン(SO)217 レーブクロックビン (SC) 215入力によりマスター することにより、システムクロックビン (CK) 21 3, データ入力ビン (D) 212のFFとして動作す FF202の状態をスレーブFF203へ値を取り込 ックビン (CK) 213人力によりデータ入力ビン MC, SC) は谷略している。

【0013】図1の実施例における、テスト時の動作の ンの長さ分繰り返す。この結果、スキャンデータ入力端 子151から入力された信号列が、結線変更回路103 マスタークロックピン (MC) 214人力, スレーブク ロックビン(SC)215入力の処理をスキャンチェー **駅略を説明する。まず、テストパターン設定のために、** スキャンデータ入力端子151, 152への信号印加,

FF202の状態をスレープFF203へ値を取り込

ピン (SC) 215人力を入力して、組合せ回路で計算 により複数のスキャンチェーンに分配され、スキャンチ FFI21~123とスキャンチェーン140に含まれ るスキャン機能付下F141~143に設定される。テ ステムクロックピン (CK) 213とスレーブクロック クロックピン (MC) 214入力, スレーブクロックビ ン(SC)215入力の処理をスキャンチェーンの長さ分 繰り返し、応答パターンを符号圧縮回路104により複 データ出力端子161,162に出力する。スキャンチ とスキャンチューン130に合まれるスキャン機能付下 1と131)には同じ値が設定される。スキャンデータ に、スキャンチェーン120に含まれるスキャン機能付 された応答パターンの値を各スキャン機能付FFデータ 入力ピン (D) 212から取り込む。以降は、マスター 数のスキャンチェーンの値を圧縮した後、順次スキャン エーン110, 130は排他的論理和ゲート163を通 るため、スキャンデータ出力端子 1.6 1 には対応するス キャン機能付FF(例えば1111と131)で取り込ま れた値の排他的論理和が出力される。以上の処理をテス ェーン110に含まれるスキャン機能小FIII~113 0、130で対応するスキャン機能付FF(例えば11 人力端子152から人力された信号列についても同様 ストパターンを全スキャン機能付FFに設定した後、 F181~133に設定される。スキャンチューン11 トパターンの数ほど繰り返す。

【0014】テスト時の動作の具体的な例を図4(1), 図5を用いて説明する。

[0015]図4(1)は、図1の実施例において、スキ ャンチェーン数を4、スキャンチェーンの長さを2とし た例で、組合せ回路部分450がわかるように図を変更 2つのスキャン機能付下F411と412,421と4 22, 4312432, 4412442810, 450 は被検査回路102の組合セ同路部分で、その出力であ 1, 442のデータ人力ピン(D)212に接続するとす 分岐し、スキャンデータ入力端子152からの信号線が している。被檢査回路102は、4本のスキャンチェー る信号線413, 414, 423, 424, 433, 4 34,443,444はそれぞれ、スキャン機能付FF る。結線変更回路103は、スキャンデータ入力端子1 5 1からの信号線がスキャンチェーン410と430に め、同じスキャンデータ入力端子から入力されるスキャ 4112431, 4122432, 4212441, 4 22と442に同じ値を設定する。符号圧縮回路104 は、スキャンチェーン410と430の排他的論理和を とりスキャンデータ出力端子161に出力し、スキャン チェーン420と440の排他的論理和をとりスキャン ン410, 420, 430, 440をもち、それぞれ、 ンチェーンで対応するスキャン機能付FF、すなわち、 411, 412, 421, 422, 431, 432, 44 スキャンチェーン420と440に分岐する。そのた

ェーン430、440の含まれる部分回路は独立に動作 データ用力端子161に出力する。なお、スキャンチュ ーン410、420の含まれる部分回路と、スキャンチ するとする。 [0016] 図5は、図4(1)の回路における、テスト (all, al2, bl1, bl2, X, X, X, X) ½ 2, b11, b12, a21, a22, b21, b22t ン214, スレーブクロックピン2 1 5 への人力信号の被形 て、スキャン機能付下Fの組(411、412,421, **か2つのパターンを与えるとする。なお、all,al** るものであり、第2のパターンはスキャンチェーン43 0,440の含まれる部分回路内の仮定故障に対するも のである。図5の中で、1行目は時刻を表し、CK, M Fのシステムクロックピン213, マスタークロックビ である。1列目の項目で151, 152はスキャンデー 22, 431, 432, 441, 442は、スキャン機 下に設定する。スキャンデータ入力端子151へ信号値 410, 420の含まれる部分回路内の仮定故障に対す C. SCは、それぞれ、図2で示したスキャン機能付F 能付FFの川力値(図2のQ及びSO)、161,16 a 1 2, a 1 7 スキャンデータ入力端子 1 5 2 へ信号値 力, スレーブクロック (SC) 人力の処理を2回繰り返 40をシフトし、スキャン機能付下F422と442に 借号値b 1.2 が設定され、スキャン機能付下 4.2.1と 441に信号値も11が設定される。テストパターンを (CK) 及びスレーブクロック (SC) を人力して、組 (X, X, X, X, a21, a22, b21, b22) 0または1のいずれかの論理値、Xは不定値(0でも1 でもよい) を表す。第1のパターンはスキャンチェーン タ入力端子へ印加する値、41-1,412,421,4 ~3時刻目で第1のテストパターンをスキャン機能付F b 1 2, b 1 1 を印加し、マスタークロック (MC) 入 す。この結果、信号値a 1 2, a 1 1 がスキャンチュー ン410及び430をシフトし、スキャン機能(JFF412 と432に信号値812が設定され、スキャン機能付F 信号値も12, も11がスキャンチューン420及び4 全スキャン機能付FFに設定した後、システムクロック p12, q11, q12, r11, r12, s11, s (D) から取り込む。4, 5時刻目が第1の応答パター ン取り出しで、マスタークロック (MC) 人力, スレー ブクロック (SC) 入力により、応答パターンをシフト とs12,p11とr11,411とs11の排他的論 理和を計算した後、スキャンデータ出力端子161,1 2 はスキャンデータ出力端子の出力値である。まず、1 F411と431に信号値811が設定される。また、 合せ回路で計算された応答パターンの信号値 (p 1 1) する。符号圧縮回路104によりp12とr12, q12 時のタイムチャートの例である。 テストバターンとし 422, 431, 432, 441, 442) 7250, 12とする)を各スキャン機能付FFデータ人力ピン

9

【0017】上記の実施例における、テストパターン生成処理の・方法を図6を用いて説明する。図1のように、被後位回路10また。図1のように、被後位回路10また。図1のようを与えておく。まず、ステップ601で、部分回路の1Dであるのを1に初期化する。ステップ601で、部分回路の1Dであるのを1に初期化する。ステップ602で、部分回路の内の未換出の仮定数解に対しするテストパターンを生成する。ステップ603で部分回路の1Dであるのと1項出させる。ステップ604で、部分回路のに対して、既に生成しているパターンの数解シミュレーションを行う。ステップ605で、部が部分回路数でなかったら、ステップ605で、部が部分回路数でなかったら、ステップ605で、部が部分回路数でなかったら、ステップ605で、前分回路の内の未被出の仮定数解に対しテストパターン生成を行う。

[0018]なお、図1、図4(1)のように、組合社画路的に独立な部分回路間でスキャンチェーンを共用する場合は、それを共用しない場合に比べて、単一緒退位線モデルにおける弦線後田平の低下はない。理由は信号を設定する能力、信号を観測する能力が変わらないためである。指者について、1つの仮定故障に対するテストパターンはそれの属する部分回路内のスキャン機能付下下のみを設定すればよく、スキャンデータ入力端子151、152により可能である。後者について、例えばスキャン機能付下下111と131の応答パターンの値が圧縮される訳だが、故障は組合せ回路的に独立な部分回路171と172のいずれか一方にしか存在しないと仮定しているため、スキャン機能付下下111と131の両方に故障信号が信かって非他的論理的ゲート163により故障信号が高失するということは生じない。

パターンについて、全スキャン機能付FFの値数定に必 【0019】この実施例では、スキャンチェーンのスキ ャンデータ人力端子を共用しているため、1つのテスト 要なスキャンデータ人力端予より人力する値の総数(テ ストデータ盘と呼ぶ)は、全スキャン機能付FFの数よ り削減できる。特定の仮定故障の集合を検出するテスト パターンの集合に対するテストデータ量に関しても、本 実施例はスキャンチェーンを共用しない従来のシフトス 本実施例によるテストデータ量の上限は、従來シフトス キャンガ式で1つのアストパターンに独立な部分回路年 の場合テストパターン長は従來シフトスキャンガ式の方 に故障を検用するテストパターンを埋め込んだ場合(こ が小さい)であるためで、本実施例は部分回路毎に故障 キャンガ式と比べて、多くの場合削減できる。理由は、 を検出するテストパターン同士で共通なものがあれば、 さらにテストデータ量を削減できる。

【0020】さらに、スキャンデータ人出力に必要な端子数とテスト時間に関して述べる。従来シフトスキャン

が式と比べてスキャンチェーンの及きを同じにすると、 テスト時間は変わらないが、本実施例のようにスキャン チェーンの人間力を共用することでスキャンデータ人間 がに必要な増了数を削減できる。本実施例で、従来シフトスキャンガイとスキャンデータ人間力に必要な増予数 を同じにすると、スキャンチェーンの及きを削減できる ため、テスト時間を削減できる。これは、1つのテスト ペケーンあたりのマスタークロック入力どスレーブクロック人力の繰り返し数を減らし、スキャンデータ人間力 に要する時間を削減できる。これは、1つのテスト パターンあたりのマスタークロック入力とスレーブクロック人力の繰り返し数を減らし、スキャンデータ人間力 に要する時間を削減できるためである。このように、本 実施例にまれば、シフトスキャンガスにおいて、組合せ 回路的に独立な部分回路に合まれるスキャンチェーン間 でスキャンデータ人間力消子を共用することにより、故 確後出車を落とさずにデストデータ量を削減できる。ま た、全の端子数の削減、あるいはテスト時間の短額をとる。ま たかかになる。 【のの21】なお、本実施例で、スキャンデータ人出力 端子を共用する条件である、組合せ回路的に強立な部分 回路内のスキャンチェーンという条件をはずしても、テ ストデータ量の削減、また、スキャンデータ人出力端子 数の削減あるいはテスト時間の経緯という効果は待られ る。ただし、故障後出単低下の可能性があることを資格 しなければならない。この故障後出準低下の問題を回避 あるいは総和する方法を述べる。

【0022】例えば、図3(1)のように、結線変更回路 103を改良する方法である。スキャンデータ入力端子 こ接続する311,312を信号線314~317に結 象312の値を信号線315に出力し、セレクタ322 は信号線311の値を信号線316に出力するため、信 5線311が信号線314,316に結線され信号線312 き、セレクタ321は信号線311の値を信号線315 こ出力し、セレクタ322は信号線312の値を信号線 こ結線される。この結果、全スキャン機能付下下に設定 2 倍にでき、テストパターンにおける同じ値しが設定で できる値の組合せを図1の結線変更回路103に比べて 生を変える。Phase=0のとき、セレクタ321は信号 線する回路で、Phase信号313の値によって、結線方 が信号線315, 317に結線される。Phase=1のと 315に結線され信号線312が信号線316,317 316に出力するため、信号線311が信号線314, きないスキャン機能付FF開の条件を緩和できる。

【0023】また、符号圧縮回路104については、図3(2)に示すような線形フィードバックシフトレジスタを用いることで、スキャンチェーン間の依存関係により枚降信号が消失する問題を回避できる。FF336~339はシフトレジスタとして動作し、信号線351,352はフィードバックループを作る。スキャンチェーから入力される値は、信号線331~335を通り排他的路電用が一ト341~346に入力し、線形フィードバッックシフトレジスタにより圧縮される。信号線347は

雑形フィードバックシフトレジスクの初型化のために用係され、信む練3 4 6 は練形フィードバックンレトレジスクのパターンを取り出すために用いる。詳しい参作 1代、IERE Design and Test of Computers(1993年3179年79月~81月)などに温載されている。

【0024】次に、スキャンデータ人用力端下を共用する条件を、組合せ回路的に独立な部分回路内のスキャンチェーンという条件から、組合せ回路的には汚を伝播できる部域を用いた条件に緩めても、故障強用率を低下させたい場を示す。

能付下下から信号が伝播する領域を示した図である。図 【0025】図4(2)(3)は、図4(1)における半導体 集積回路の組合社回路部分450について、メキャン機 4(2)は、同一のスキャンチェーン毎に、スキャン機能 は領域152, 453, 454を伝播し、スキャン機能付F F431, 432は領域454, 455, 456を伝播 (ハッチ部分) がお互いに交わらないので、スキャン機 付下年111, 412, 421, 422, 431, 43 2, 441, 442のFF出力ピン(Q)から信号が組 合七回路的に伝播する領域を示している。すなわち、ス キャン機能付下411, 412は領域451, 452 を伝播し、信号線413,414,423のいずれかに 到達する。同様に、スキャン機能付下F421, 422 能付FFに信号を設定する能力はかわらない。 同様にス 451を伝播する。したがって、スキャンチェーン41 キャンチェーン420と440についてもスキャン機能付 し、スキャン機能付下F441、442は領域456, 0と430は、組合セ回路的に信号を伝播できる領域 FFに信号を設定する能力はかわらない。

【0026】一方、図4(3)は、同一のスキャンチェー ン年に、信乃繰413.414,423,424,43 3, 434, 443, 444*のデータ入力ビン(*D)〜 信号が組合せ回路的に伝播する領域を示している。すな 1, 462を伝播し、信号線413, 414, 423の いずれかに到遠する。同様に、スキャン機能付下ド42 1, 422は領域462,463,464を伝播し、スキャ ン機能付FF431, 432は領域464, 465, 4 66を伝播し、スキャン機能付下F441,442は4 ン410と430は、組合せ回路的に信号を伝播できる 領域(ハッチ部分)がお互いに交わらないので、スキャ ン機能付下下で信号を観測する能力はかわらない。 同様 にスキャンチェーン420と440についてもスキャン 66,467を伝播する。したがって、スキャンチェー わち、スキャン機能付FF411,412は領域46 機能付下下で付号を観測する能力はかわらない。

【0027】このように、本実施例によれば、シフトスキャンガスにおいて、組合社同路的に信号を伝確できる領域が正いに交わらないスキャンチェーン間でスキャンデータ人出力縮子を共用することにより、故障後川率を落とまずにテストデータ量を削減できる。また、その踏落とまずにテストデータ量を削減できる。また、その踏

子数の削減、あるいはテスト時間の短縮という効果があ

[0028] 最後の実施例では、BIST (組込み自己デスト) 方式を用いた半導体集積回路に対して、パケーン発生器721から被後位回路102へ信号線を共用し、被後在回路102からパケーン圧縮器741への信号線を共用したもので図7にかす。

ある論理回路のテストは、そのパターン発生器121か ーンに設定され、排他的論理和ゲート735,736で **ンを発生させても良い。また、テストされる被試験体で** れたパターンとを比較して、その論用回路が故障してい 1によって、パターン印加モードとBISTモードを分 ける。パターン印加モードのとき、スキャンデータ人力 5、716に伝播し、結線変更回路103にて分岐後メ BISTモードのとき、パターン発生器121により発 生された信号713, 714は、信号線715, 716 に伝播し、結線変更回路103にて分岐後スキャンチュ パターン圧縮器741により圧縮され、パターン圧縮後 出力される。尚、パターン発生器は、予め発生させるパ ら発生させるパターンと、被検査回路102から出力さ **番号圧縮回路104は図1と同様である。セレクタ70** 端子711,712から印加された信号は、信号線71 キャンチェーンに設定され、川力されたデータは、それ ターンを設定しておいてもいいし、ランダム的にパター ぞれ符号圧縮回路104にて排他的踏理和されてスキャン 【0029】被放在回路102,結線変更回路103, データ出力増子733,734から出力される。一方、 るかどうか等の検査を行う。

[0030]このように、本技館館によれば、B1STを用いたソフトスキャン方式において、組合む回路的に独立な部分のキャンチェーン間でスキャンデータが出りを共用することにより、パケーン発生器やパケーン圧揺器を共用することにより、パケーン発生器をの始重を出演できるという効果がある。

[の031] 更に、上沿谷状態倒は、回路的なハード構成の半単作集積回路について沿くましたが、本路明は、 これらの機能を有するソフトウェアでも適応できるものである。

[9032]上記ソフトウェアの本実施例としては、CD-POM等の記憶媒体に実施例の機能を有する同路情報プログラムを記憶することで、このソフトウェアの製作企業外の方々や、ユーザ自分が集積回路、またはその中の路環回路等の試験を容易に実行できる効果がある。

[0033] [発明の効果] 本発明によれば、シフトスキャンガ式におけるテストデータ量やテスト時間を削減し、回路面積のカーパーヘッドを抑えた半導体集積回路を提供でき

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一実施例を示す

8

[凶2] 本発明のスキャン機能付下下回路の一例を示す ゴである。 [図3] 本発明の結線変更同路(1)及び符号圧縮回路 (2) の、状癌倒をボナ凶である。

[図4] 本発明のスキャンチェーンの信号伝播領域を説 男士ろ図である。 [図5] 本発明に係る半導体集積回路のタイミングチャ

[図6] 本発明に係るテストパターン生成のフローチャ ートを示す図である。

【図7】本発明に係る半導体集積回路のBIST回路の 一、実施例を示す図である。 一トを示す図である。

101…半導体集積回路、102…被依在回路、103 0, 130, 140, 410, 420, 430, 440 ..スキャンチェーン、111~113, 121~12 …結線変更回路、104…符号圧縮回路、110,12 [符号の説明]

2, 421, 422, 431, 432, 441, 442

[|<u>|</u>|

3, 131~133, 141~145, 411, 41

7.3.6…排他的論理和ゲート、1.7.1, 1.7.2…部分回 路、202…マスターFF、203…スレーブFF、2 11…スキャンインビン(SI)、212…データ人力 点、161, 162, 733, 734…スキャンデータ 214…マスタークロックピン (MC) 、215…スレ …スキャン機能付FF、151,152,711,71 ピン (D) 、213…システムクロックピン (CK) 、 314~317, 331~335, 347, 351, 3 52, 413, 414, 423, 424, 433, 43 4, 443, 444, 715, 716…信号粮、217 (Q)、313…Phase (音号、321,322…セレク 451~457, 461~467…領域、713, 71 用力踏子、163, 164, 341~345, 735. 2…スキャンデータ人力端子、153,154…分岐 ーブクロックピン (SC)、216,311,312, タ、336~339…FF、450…組合ゼ回路部分 4, 731, 732…信号、721…パターン発生器。 …スキャンアウトピン(SO)、218…FF出力ピン 7 4 1 … パターン圧縮器。

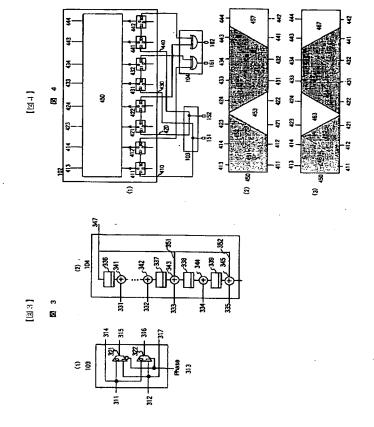
50 217 [区区]

520

[9図]

[图3] S S

9 Ø



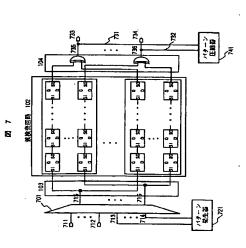
				802					ş			8			
8				~	×	×	ž	×	2	×	2	×	121	p21++21	121+821
1			5	×	×	120	220	5	2	121	221	121	\$25	p22++22 p21++21	GZ2+822 GZ1+g2
•	K		٦	×	×	12	2	2	24	6 23	825	129	P22	×	×
60		٦	1	120	129	228	Ξ	3	Ē	27	F	22	118	114411	1114911
4		4	٦	22.	P75	11q	p12	Ē	412	-	r12	11.	812	p12+r12 p11+r1	q12+s12q11+s11
c	\		٦	X	X	411	912	119	b12	110	912	b11	b12	×	×
2		4	1	118	171	12	×	514	×	912	×	b12	×	×	×
-			=	812	P12	×	×	×	×	×	×	×	×	×	×
•	š	Š	S	121	25	Ę	412	421	422	431	432	2	42	181	162

部か回覧 cu対して配件形式 ターンの投算シミュアーション

603 n=n+1

と最終四次第二日

[图]



フロントページの総治

(72)発明者 彦根 和文 茨城県日立市大みが町七丁目1番1号 株 式会社日立製作所日立研究所内

(72)発明者 鳥村 光太郎 茨城県日立市大みか町七丁目1番1号 株

Fターム(参考) 26032 AA04 AC10 AK15 AK16 5B048 AA20 CC20 DD05 DD16 9A001 BB05 LZ05 式会社日立製作所日立研究所內